

Practitioner's Docket No.: 040008-0307317
Client Reference No.: OG03-021

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: JAE WON HAN Confirmation No: 1557
Application No.: 10/747,664 Group No.: 2812
Filed: December 30, 2003 Examiner: NOT ASSIGNED
For: METHOD OF FABRICATING METAL INTERCONNECTION OF SEMICONDUCTOR DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Korea	10-2003-0041022	June 24, 2003

Date: May 26, 2004
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



E. Rico Hernandez
Registration No. 47641



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0041022
Application Number

출 원 년 월 일 : 2003년 06월 24일
Date of Application JUN 24, 2003

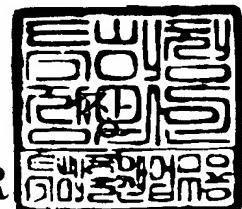
출 원 인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.06.24		
【국제특허분류】	H01L		
【발명의 명칭】	반도체 소자의 금속배선 형성 방법		
【발명의 영문명칭】	Metal interconnection fabrication method for semiconductor device		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	서천석		
【대리인코드】	9-2002-000233-5		
【포괄위임등록번호】	2003-002029-1		
【발명자】			
【성명의 국문표기】	한재원		
【성명의 영문표기】	HAN, Jae Won		
【주민등록번호】	640323-1231318		
【우편번호】	420-020		
【주소】	경기도 부천시 원미구 중동 미리내마을 934-201호		
【국적】	KR		
【심사청구】			
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 서천석 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	330,000 원		

【요약서】

【요약】

본 발명은 반도체 소자의 금속배선 형성 방법에 관한 것으로, 보다 자세하게는 본딩패드의 개구부가 형성되기 전에 열처리 공정을 진행하는 반도체 소자의 금속배선 형성 방법에 관한 것이다.

본 발명의 상기 목적은 소정의 구조물이 형성된 반도체 기판의 상부 전면에 금속층을 형성하고 패터닝하여 금속 배선층을 형성하는 단계; 상기 금속 배선층을 포함한 기판 상부 전면에 보호막을 형성하는 단계; 상기 보호막이 형성된 기판을 열처리하는 단계; 상기 금속 배선층의 일부분이 드러나도록 상기 보호막을 선택적 삭각하여 본딩 패드를 형성하는 단계; 상기 본딩 패드가 형성된 기판의 뒷면을 그라인드한 후 상기 본딩 패드를 통해 프로브 테스트하는 단계 및 상기 본딩 패드를 외부 회로와 연결하기 위해 와이어 본딩하는 단계를 포함하는 반도체 소자의 금속배선 형성 방법에 의해 달성된다.

따라서, 본 발명의 반도체 소자의 제조 방법은 본딩패드의 개구부를 형성하기 전에 열처리 공정을 진행함으로써 오븐에 노출된 본딩패드가 베이크 장비에서 아웃캐싱되는 물질 등에 의해 오염되거나 열에너지를 받아서 산화가 쉽게 이루어지는 문제점을 해결하여 반도체 소자 신뢰도를 향상시키는 효과가 있다.

【대표도】

도 2b

1020030041022

출력 일자: 2003/12/19

【색인어】

bond pad, sintering, bake, 금속배선, top metal

【명세서】**【발명의 명칭】**

반도체 소자의 금속배선 형성 방법{Metal interconnection fabrication method for semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 본딩패드 개구부 형성 방법.

도 2a 내지 도 2c는 본 발명에 따른 본딩패드 형성 방법.

<도면의 주요부분에 대한 부호의 설명>

21 : 탑 금속층

22a, 22b : 보호막

23 : 열처리

24 : 개구부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자의 금속배선 형성 방법에 관한 것으로, 보다 자세하게는 본딩패드의 개구부가 형성되기 전에 열처리 공정을 진행하는 반도체 소자의 금속배선 형성 방법에 관한 것이다.

- <7> 일반적으로, 반도체 제품은 웨이퍼 제조 공정, 반도체 제조 공정 및 조립 공정을 통해 만들어진다. 반도체 제조 공정에 본딩패드 형성 공정은 마지막 공정 단계라 할 수 있다. 본딩 패드는 금속 배선과 전기적으로 연결되도록 형성되며, 반도체 기판에 형성된 반도체 소자와 외부 소자간을 전기적으로 연결시키는 통로 역할을 한다. 본딩패드를 형성한 다음에는 반도체 기판에 형성된 반도체 소자를 보호하기 위해 최종적으로 보호막을 형성하며, 보호막의 일부분을 제거하여 본딩패드가 노출되는 개구부를 형성하게된다.
- <8> 도 1a 내지 도 1e는 종래 기술에 따른 반도체 소자의 본딩패드 개구부 형성 방법을 설명하기 위한 소자의 단면도이다.
- <9> 도 1a를 참조하면, 반도체 기판에 반도체 소자가 형성된 하지층(11)이 제공되고, 하지층(11)상에 금속 배선(12)이 형성된다. 금속 배선(12)을 포함한 전체 구조상에 충간 절연막(13)을 형성하고, 충간 절연막(13)의 일부분을 제거하여 금속 배선(12)의 일부분을 노출시킨다. 노출된 금속 배선(12)과 연결되는 본딩패드(14)를 형성하고, 본딩패드(14)를 포함한 전체 구조상에 보호막(15)을 형성한다.
- <10> 상기에서, 본딩패드(14)는 금속층(14a)과 탑 금속층(top metal layer; 14b)이 적층된 구조가 일반적으로 사용되고 있다. 보호막(15)은 PSG와 같은 산화막(15a)과 질화막(15b)으로 형성된다.
- <11> 도 1b를 참조하면, 보호막(15) 상에 본딩패드 개구부가 형성될 부분이 개방된 포토레지스트 패턴(16)을 형성한다.

- <12> 도 1c를 참조하면, 포토레지스트 패턴(16)을 식각 마스크로 한 제 1 식각 공정으로 보호 막(15)의 상부층인 질화막(15b)을 식각한다. 질화막(15b)은 CF₄ 가스와 O₂ 가스가 혼합된 혼합 가스를 사용하여 플라즈마 방식으로 식각한다.
- <13> 도 1d를 참조하면, 포토레지스트 패턴(16)을 식각 마스크로 한 제 2 식각 공정으로 보호 막(15)의 하부층인 산화막(15a)을 식각하고, 계속해서 본딩패드(14)의 상부층인 탑 금속층(14b)을 식각한다. 이로 인하여 본딩패드(14)의 하부층인 금속층(14a)의 표면이 노출되는 본딩 패드 개구부(17)가 형성된다. 산화막(15a) 및 탑 금속층(14b)은 CF₄ 가스, Ar 가스 및 N₂ 가스가 혼합된 혼합 가스를 사용하여 플라즈마 방식으로 식각한다.
- <14> 도 1e를 참조하면, O₂ 가스를 사용한 플라즈마 방식으로 포토레지스트 패턴(16)을 제거하고, 본딩패드(14)의 하부층인 금속층(14a)의 표면에 잔류되는 폴리머를 제거하기 위하여 염기성 유기물로 현상 처리하여 본딩패드 개구부(17) 형성이 완료된다.
- <15> 후에, 상기 본딩패드 개구부가 형성된 기판에 베이크(bake) 공정을 진행한다. 이때, 베이크 공정을 진행하는 전기로 또는 오븐에 노출된 본딩패드가 베이크 장비에서 아웃가스(Out Gassing)되는 물질 등에 의해 오염(Contamination)되거나 열에너지를 받아서 산화가 쉽게 이루어진다.
- <16> 특히 유기 물질에 의해 본딩패드가 오염되면 제조된 소자는 사용할 수 없는 상태가 된다. 상기 유기 물질은 베이크 장비에서 아웃가스 될 가능성이 크다
- <17> 특히 200°C에서 72시간을 베이크하는 공정을 선택할 경우 본딩패드의 오염은 심각한 문제가 된다.

<18> 상기 오염된 본딩 패드는 프로브 테스트(Probe Test)를 불가능하게 하여 제조된 반도체 소자의 특성을 측정할 수 없다. 또한 오염된 본드 패드는 와이어 본딩을 불가능하게 하여 제조된 반도체 소자를 사용할 수 없다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 본딩 패드의 개구부를 형성하기 전에 열처리 공정을 진행함으로써 오븐에 노출된 본딩 패드가 베이크 장비에서 아웃캐싱되는 물질 등에 의해 오염되거나 열에너지를 받아서 산화가 쉽게 이루어지는 문제점을 해결할 수 있는 반도체 소자의 금속배선 형성 방법을 제공함에 본 발명의 목적이 있다.

【발명의 구성 및 작용】

<20> 본 발명의 상기 목적은 소정의 구조물이 형성된 반도체 기판의 상부 전면에 금속층을 형성하고 패터닝하여 금속 배선층을 형성하는 단계; 상기 금속 배선층을 포함한 기판 상부 전면에 보호막을 형성하는 단계; 상기 보호막이 형성된 기판을 열처리하는 단계; 상기 금속 배선층의 일부분이 드러나도록 상기 보호막을 선택적 식각하여 본딩 패드를 형성하는 단계; 상기 본딩 패드가 형성된 기판의 뒷면을 그라인드한 후 상기 본딩 패드를 통해 프로브 테스트하는 단계 및 상기 본딩 패드를 외부 회로와 연결하기 위해 와이어 본딩하는 단계를 포함하는 반도체 소자의 금속배선 형성 방법에 의해 달성된다.

- <21> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <22> 도 2a 내지 도 2c는 본 발명에 따른 본딩패드 형성 공정도이다.
- <23> 우선 도 2a에서 보면, 소정의 구조물이 형성된 반도체 기판의 상부 전면에 금속층(21)을 형성하고, 상기 금속층(21)의 소정 부분을 포토리쏘그라피 공정으로 패터닝하고, 상기 패터닝 된 기판에 보호막(22a, 22b)을 형성한다.
- <24> 상기 금속층(21)은 Ti, TiN 또는 Ti/TiN으로 이루어진 하부 베리어 메탈과 알루미늄 합금과 Ti, TiN 또는 TiN으로 이루어진 상부 베리어 메탈로 이루어져 있다.
- <25> 또한 상기 금속층은 Ti, TiN, Al계열의 합금 및 TiN을 순서대로 증착한 구조이거나 Ti, Al계열의 합금 및 TiN을 순서대로 증착한 구조이다
- <26> 상기 Al계열의 합금은 Al, Al에 0.2~1.0%의 Cu가 첨가된 합금, Al에 0.2~1%의 Cu와 0.5~2%의 Si가 첨가된 합금 또는 Al에 0.5~2%의 Si가 첨가된 합금 중의 어느 하나이다.
- <27> 상기 보호막(22a, 22b)의 형성은 산화물 절연막(22a)을 증착하고 상부에 질화물 절연막(22b)을 증착하여 형성된다.
- <28> 도 2b는 열처리 공정을 진행하는 공정도이다.
- <29> 상기 보호막이 형성된 기판에 열처리(31) 공정을 진행한다.
- <30> 상기 열처리 공정은 신타링(Sintering) 공정, 베이크 공정 또는 신타링 공정과 베이크 공정이 혼합된 공정이다.

- <31> 본 발명의 특징은 본딩패드가 열려있지 않은 상태에서 열처리 공정을 진행하는 것이다. 본딩패드가 열려있지 않은 상태에서 열처리 공정을 진행할 경우 본딩패드 패터닝에서 파티클 문제가 제기될 가능성이 있어서 기존에는 사용하지 못했지만 본 발명에서 열처리 공정 후에 본딩패드를 오픈한 경우에도 파티클의 문제는 발생하지 않았다.
- <32> 상기 신타팅 공정은 350~450°C의 전기로에서 10~50분간 진행한다.
- <33> 상기 베이크 공정은 150~250°C의 전기로에서 48~80시간 진행한다.
- <34> 도 2c는 본딩패드 개구부를 형성하는 공정도이다.
- <35> 보호막 상에 본딩패드가 형성될 부분에 포토레지스트 패턴을 형성한다.
- <36> 상기 포토레지스트 패턴을 식각 마스크로 보호막을 식각하여 본딩패드 개구부(41)를 형성한다.
- <37> 상기 보호막(22a, 22b)은 건식 식각 공정을 이용하여 제거한다. 이어 O₂가스를 사용한 플라즈마 방식으로 포토레지스트 패턴을 제거하여 본딩패드 개구부 형성이 완료된다.
- <38> 이어서, 상기 본딩패드 개구부가 형성된 기판의 뒷면을 그라인드(Grind)하고, 그라인드 된 기판 위의 소자를 프로브 테스트한다.
- <39> 상기 그라인드과 프로브 테스트는 본딩패드 개구부가 형성된 직후 인시츄(in-situ) 공정으로 진행한다..
- <40> 후에 개구부가 형성된 본딩패드 위에 와이어 본딩을 형성하여 반도체 소자의 금속배선을 형성한다.
- <41> 상기와 같은 본딩패드 개구부가 형성되기 전에 열처리 공정을 실시한 금속배선 형성 방법을 반도체 소자의 제조 공정에 적용하여 반도체 소자를 제조한다.

<42> 상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

【발명의 효과】

<43> 따라서, 본 발명의 반도체 소자의 제조 방법은 본딩패드의 개구부를 형성하기 전에 열처리 공정을 진행함으로써 오븐에 노출된 본딩패드가 베이크 장비에서 아웃캐싱되는 물질 등에 의해 오염되거나 열에너지를 받아서 산화가 쉽게 이루어지는 문제점을 해결하여 반도체 소자 신뢰도를 향상시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

소정의 구조물이 형성된 반도체 기판의 상부 전면에 금속층을 형성하고 패터닝하여 금속 배선층을 형성하는 단계;

상기 금속 배선층을 포함한 기판 상부 전면에 보호막을 형성하는 단계;

상기 보호막이 형성된 기판을 열처리하는 단계;

상기 금속 배선층의 일부분이 드러나도록 상기 보호막을 선택적 식각하여 본딩 패드를 형성하는 단계;

상기 본딩 패드가 형성된 기판의 뒷면을 그라인드한 후 상기 본딩 패드를 통해 프로브 테스트하는 단계; 및

상기 본딩 패드를 외부 회로와 연결하기 위해 와이어 본딩하는 단계
를 포함하는 반도체 소자의 금속배선 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 보호막을 형성하는 단계는,

상기 기판 상부 전면에 산화막을 증착하는 단계 및 상기 산화막 상부에 질화막을 증착하는 단계로 이루어짐을 특징으로 하는 반도체 소자의 금속배선 형성 방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 금속층은 Ti, TiN 또는 Ti/TiN으로 이루어진 하부 베리어 메탈과, 알루미늄 합금과, Ti, TiN 또는 TiN으로 이루어진 상부 베리어 메탈로 형성하는 반도체 소자의 금속배선 형성 방법.

【청구항 4】

제 1항 또는 제 2 항에 있어서,

상기 열처리는 신타팅 공정, 베이크 공정 또는 신타팅과 베이크의 혼합 공정인 반도체 소자의 금속배선 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 신타팅 공정은 350~450°C의 온도 범위에서 10~50분간 진행하며, 상기 베이크 공정은 150~250°C의 온도범위에서 48~80시간 진행하는 반도체 소자의 금속배선 형성 방법.

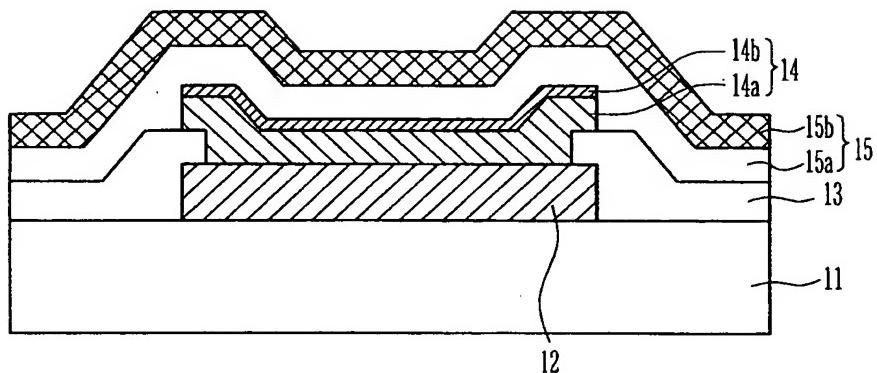
【청구항 6】

제 1항 또는 제 2 항에 있어서,

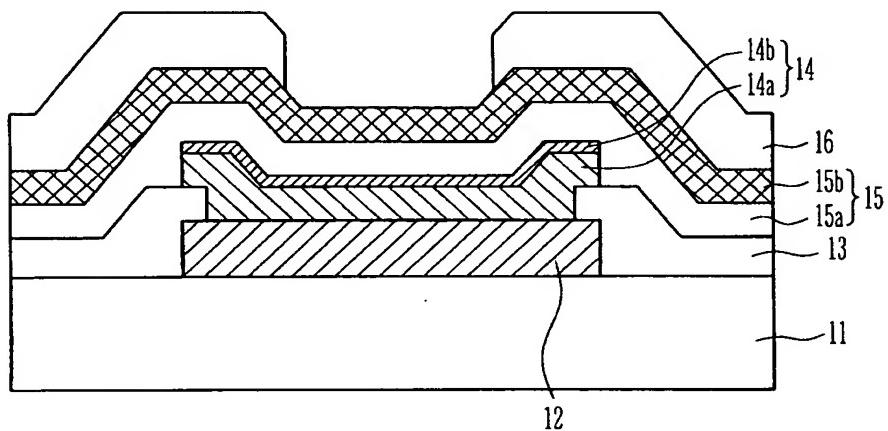
상기 그라인드와 프로브 테스트는 상기 본딩 패드가 형성된 직후 인시츄 공정으로 진행하는 반도체 소자의 금속배선 형성 방법.

【도면】

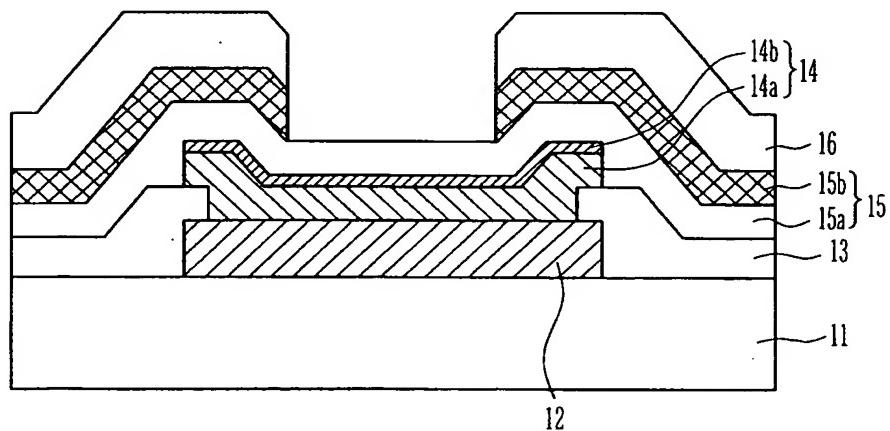
【도 1】



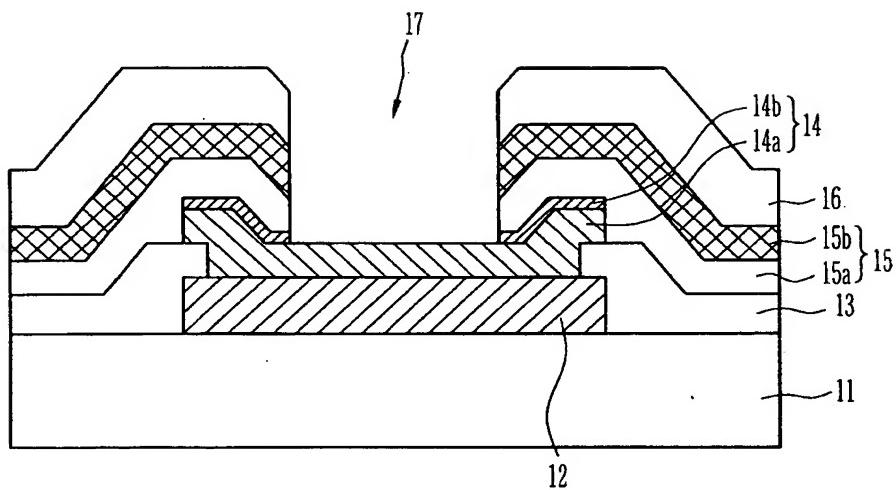
【도 1b】



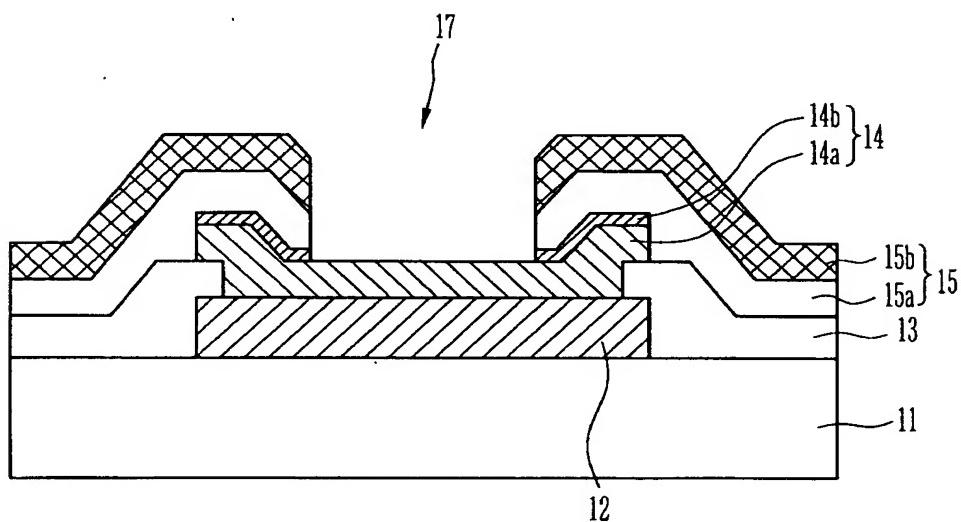
【도 1c】



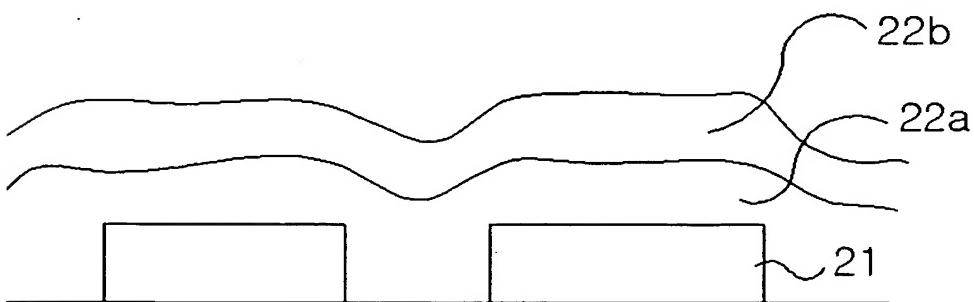
【도 1d】



【도 1e】



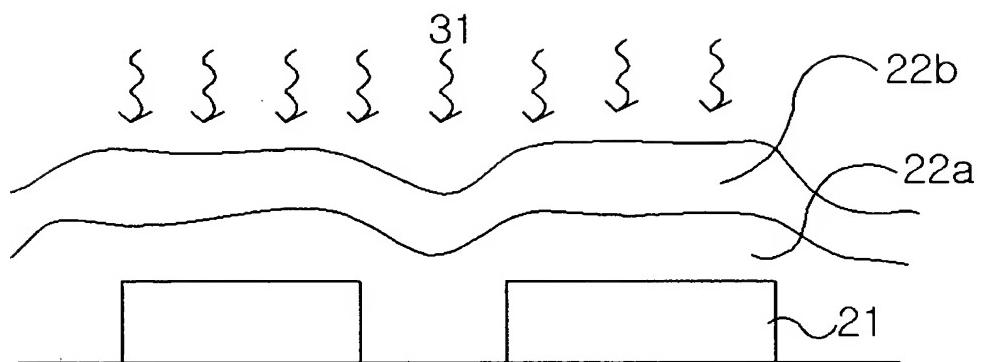
【도 2a】



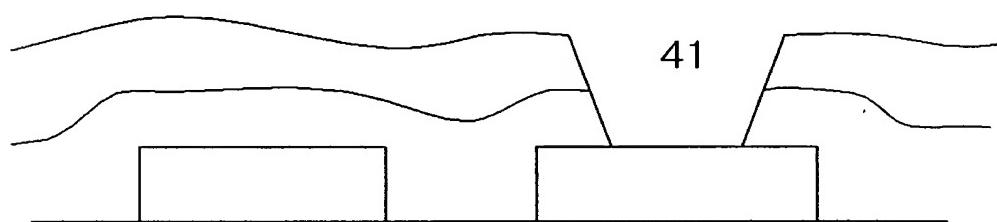
1020030041022

출력 일자: 2003/12/19

【도 2b】



【도 2c】



【서지사항】

【서류명】 명세서 등 보정서

【수신처】 특허청장

【제출일자】 2003.10.02

【제출인】

【명칭】 아남반도체 주식회사

【출원인코드】 1-1998-002671-9

【사건과의 관계】 출원인

【대리인】

【성명】 서천석

【대리인코드】 9-2002-000233-5

【포괄위임등록번호】 2003-002029-1

【사건의 표시】

【출원번호】 10-2003-0041022

【출원일자】 2003.06.24

【심사청구일자】 2003.06.24

【발명의 명칭】 반도체 소자의 금속배선 형성 방법

【제출원인】

【접수번호】 1-1-2003-0225504-61

【접수일자】 2003.06.24

【보정할 서류】 명세서등

【보정할 사항】

【보정대상항목】 별지와 같음

【보정방법】 별지와 같음

【보정내용】 별지와 같음

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인
서천석 (인)

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【보정대상항목】 도 1

【보정방법】 삭제

【보정대상항목】 도 1a

【보정방법】 추가

【보정내용】

【도 1a】

